

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210795

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H01L 27/105
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 2000-284892

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 20.09.2000

(72)Inventor : MATSUSHITA SHIGEHARU
HARADA MITSUAKI

(30)Priority

Priority number : 11326544

Priority date : 17.11.1999

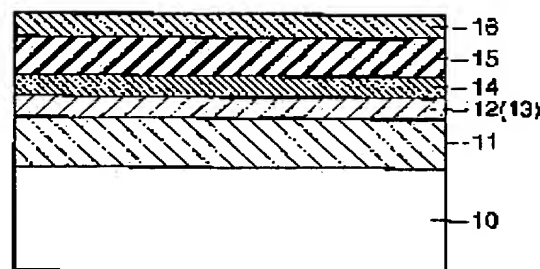
Priority country : JP

(54) DIELECTRIC ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a dielectric element comprising an oxide dielectric film for suppressed oxidization of an electrode and degradation in film characteristics of the oxide dielectrics film.

SOLUTION: A capacitor insulation film comprising an SBT film (oxide dielectrics film) 15 which is a ferroelectrics film, and a capacitor lower electrode comprising an IrSi film 12 or IrSiN film 13, are provided.



LEGAL STATUS

[Date of request for examination]

04.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210795

(P2001-210795A)

(43) 公開日 平成13年8月3日(2001.8.3)

(51) IntCl.

識別記号

F I

テマート*(参考)

H 0 1 L 27/105
21/8247
29/788
29/792

H 0 1 L 27/10

4 4 4 C 5 F 0 0 1

4 4 4 A 5 F 0 8 3

29/78

3 7 1

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願2000-284892(P2000-284892)

(22) 出願日 平成12年9月20日(2000.9.20)

(31) 優先権主張番号 特願平11-326544

(32) 優先日 平成11年11月17日(1999.11.17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 松下 重治

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 原田 光昭

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100104433

弁理士 宮園 博一

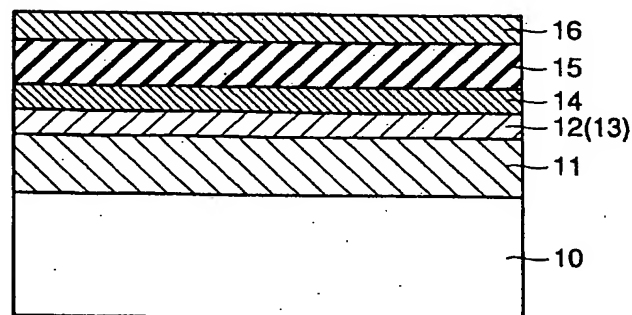
最終頁に続く

(54) 【発明の名称】 誘電体素子

(57) 【要約】

【課題】 電極の酸化や酸化物系誘電体膜の膜特性の劣化を抑制することが可能な酸化物系誘電体膜を用いた誘電体素子を提供する。

【解決手段】 強誘電体膜であるS.B.T膜(酸化物系誘電体膜)15を含むキャパシタ絶縁膜と、I r S i膜12またはI r S i N膜13を含むキャパシタ下部電極とを備えている。



【特許請求の範囲】

【請求項1】 酸化物系誘電体膜を含む絶縁膜と、少なくとも金属およびシリコンを含有する第1導電膜を含む電極とを備え、前記金属は、Ir、Pt、Ru、Re、Ni、CoおよびMoからなるグループより選択される少なくとも1つを含む、誘電体素子。

【請求項2】 前記第1導電膜は、さらに窒素を含有する、請求項1に記載の誘電体素子。

【請求項3】 前記第1導電膜を構成する金属は、Ir 10である、請求項1または2に記載の誘電体素子。

【請求項4】 前記第1導電膜は、Irとシリコンとを含有する導電膜と、Irとシリコンと窒素とを含有する導電膜との積層構造からなる、請求項3に記載の誘電体素子。

【請求項5】 前記Irとシリコンと窒素とを含有する導電膜は、前記酸化物系誘電体膜側に配置されている、請求項4に記載の誘電体素子。

【請求項6】 前記第1導電膜は、導電物と前記絶縁膜との間に配置されている、請求項4または5に記載の誘電体素子。 20

【請求項7】 前記導電物は、酸化されると絶縁化するものであり、前記導電物上に、前記第1導電膜および前記絶縁膜が順に形成されている、請求項6に記載の誘電体素子。

【請求項8】 前記導電物は、ポリシリコンプラグおよびタングステンプラグのいずれかを含む、請求項7に記載の誘電体素子。

【請求項9】 前記第1導電膜と前記絶縁膜との間に配置された導電性結晶膜をさらに備える、請求項1または 2に記載の誘電体素子。 30

【請求項10】 前記導電性結晶膜は、Pt、Ir、RuおよびReからなるグループより選択される少なくとも1つの金属を含む金属膜である、請求項9に記載の誘電体素子。

【請求項11】 前記第1導電膜は、Ptとシリコンと窒素とを含有し、前記導電性結晶膜は、Ptからなる金属膜である、請求項10に記載の誘電体素子。

【請求項12】 前記導電性結晶膜は、Pt、Ir、Ru 40およびReからなるグループより選択される少なくとも1つの金属を含む金属酸化膜である、請求項9に記載の誘電体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、誘電体素子に関し、より特定的には、酸化物系誘電体膜を用いたキャパシタ素子などの誘電体素子に関する。

【0002】

【従来の技術】 強誘電体メモリは、高速で低消費電力な 50

不揮発性メモリとして、近年、精力的に研究がなされている。図23および図24は、従来の強誘電体メモリの代表的な構造を示した断面図である。

【0003】 図23に示した構造では、Si基板100上に、フィールド絶縁膜101と、MOSトランジスタ102のウェル領域103と、ソース領域104と、ソース領域104に接続するソース電極105と、ゲート電極106と、ドレイン領域107と、層間絶縁膜114とが形成されている。また、ドレイン領域107には、プラグ109を介して、酸化物系誘電体キャパシタ113が接続されている。

【0004】 また、図24に示した構造では、Si基板100上に、フィールド絶縁膜101と、MOSトランジスタ102のウェル領域103と、ソース領域104と、ソース領域104に接続するソース電極105と、ゲート電極106と、ドレイン領域107と、ドレイン領域107に接続するドレイン電極108と、層間絶縁膜114とが形成されている。また、ゲート電極106には、プラグ109を介して、酸化物系誘電体キャパシタ113が接続されている。図24に示した構造は、FET型強誘電体メモリと称する。

【0005】 図23および図24に示した構造における酸化物系誘電体キャパシタ113は、下部電極110と、酸化物系誘電体膜111と、上部電極112とから構成されている。下部電極110は、ポリシリコン（ポリSi）またはタングステン（W）によって構成されるプラグ109に接続されている。下部電極110上には、強誘電体膜としての $PbZr_{1-x}Ti_xO_3$ （PZT）または $SrBi_2Ta_2O_9$ （SBT）などからなる酸化物系誘電体膜111が形成されている。酸化物系誘電体膜111上には、上部電極112が形成されている。特に、下部電極110の材料としては、イリジウム（Ir）やプラチナ（Pt）またはこれらの成分を含有する材料が、広く用いられている。これは、これらの材料が、酸化物系誘電体膜111との反応性が低いこと、または、高温耐性が優れていることなどの特長を有しているためである。なお、上部電極112としても、下部電極110の場合と同様、イリジウム（Ir）やプラチナ（Pt）などの材料が用いられる。

【0006】 一方、ダイナミック・ランダム・アクセス・メモリ（DRAM）においても、近年、セルの微細化に伴いキャパシタサイズが縮小するため、 $BaSr_{1-x}TiO_3$ （BST）などの誘電率の高い酸化物系誘電体膜を用いたキャパシタ構造が求められている。そのDRAMのキャパシタ構造は、図23に示したキャパシタ構造と同様な構造を有している。

【0007】

【発明が解決しようとする課題】 しかしながら、IrやPtは、自己配向性が極めて強いため、アニールすると結晶粒が柱状構造となってしまう。この場合、結晶粒界

が基板に垂直な方向に揃ってしまう。このため、キャパシタ絶縁膜である酸化物系誘電体膜を焼結するために行う高温酸素雰囲気中アニール処理において、この結晶粒界に沿って酸素が拡散する。これにより、プラグなどの電極を構成するポリSiやWが酸化されて、この部分に酸化膜が形成される。その結果、キャパシタ特性を劣化させたり、キャパシタ素子作製に悪影響を及ぼすという問題点があった。

【0008】たとえば、図23に示した素子構造において、プラグ109としてポリSiプラグを用いた場合に、その一部が酸化されると、下部電極110とプラグ109との間に、シリコン酸化膜が形成される。この場合、このシリコン酸化膜は、キャパシタ絶縁膜として作用し、かつ、酸化物系誘電体キャパシタ113と直列に接続されることになる。キャパシタが直列接合されている場合、印加したバイアスはそれぞれのキャパシタの容量に反比例して分圧されることになる。酸化物系誘電体膜の誘電率は、一般に、シリコン酸化膜の数十倍～数百倍あるため、酸化物系誘電体キャパシタ113の容量は大きくなる。

【0009】したがって、酸化物系誘電体キャパシタ113をシリコン酸化膜キャパシタと直列接続した状態でバイアスを印加しても、酸化物系誘電体キャパシタ113にはあまり分圧されなくなる。このような状態において、たとえば、酸化物系誘電体膜111が強誘電体膜である強誘電体メモリの場合には、その反転分極値が減少し、そのため、メモリ特性が劣化するという問題が発生する。また、酸化物系誘電体膜111が高誘電体膜であるDRAMの場合には、そのチャージ量が減少し、そのため、メモリ特性が劣化するという問題が発生する。

【0010】また、図23に示した素子構造において、プラグ109として、上記のSiプラグの代わりにWプラグを用いた場合、その一部が酸化されてタングステン酸化膜が形成される。この場合、このタングステン酸化膜による体積膨張のため、膜剥がれが発生し、その結果、高品質なキャパシタ素子を作製するのが困難になるという問題が発生する。

【0011】さらに別の問題として、アニール処理において、酸化物系誘電体膜111から、下部電極110や上部電極112を構成するIrやPtの結晶粒界に沿って酸素が外方拡散し、その結果、分極特性などの酸化物系誘電体膜111自身の特性が劣化するという問題もある。

【0012】本発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、電極の酸化を抑制することによって良好な特性を有する誘電体素子を提供することである。

【0013】この発明のもう1つの目的は、上記の誘電体素子において、酸化物系誘電体膜の特性が劣化するのを抑制することである。

【0014】

【課題を解決するための手段】請求項1による誘電体素子は、酸化物系誘電体膜を含む絶縁膜と、少なくとも金属およびシリコンを含有する第1導電膜を含む電極とを備え、上記金属は、Ir、Pt、Ru、Re、Ni、CoおよびMoからなるグループより選択される少なくとも1つを含む。なお、本発明における誘電体素子は、キャパシタ素子のみならず、誘電体を用いる他の素子も含む広い概念である。

【0015】請求項1では、このように構成することによって、第1導電膜が酸素の拡散を阻止するバリア膜として機能する。これにより、酸化物系誘電体膜を焼結するための熱処理時に、電極の結晶粒界に沿って酸素が拡散するのを有効に阻止することができる。それにより、電極下に位置する導電物が酸化されるのを抑制することができる。これにより、たとえば、キャパシタ素子の場合には、メモリ特性の劣化を抑制することができるとともに、膜剥がれを抑制することができる。その結果、良好な特性を有する素子を形成することができる。

【0016】請求項2による誘電体素子は、請求項1の構成において、第1導電膜は、さらに窒素を含有する。請求項2では、このように構成することによって、第1導電膜の酸素の拡散を阻止する機能をさらに高めることができる。すなわち、請求項1に記載の金属(M)は、一般に窒化物を構成しにくい、または、窒化物を構成しても M_xN ($x \geq 2$) で安定状態となるものである。このような金属とシリコン(Si)および窒素(N)とを結合させると、金属(M)は、Nと結合するよりもSiと結合しやすくなるとともに、NはSiと結合しやすくなる。そのため、そのM-Si-N膜は、金属シリサイド(M-Si)に、Si-Nを埋め込んだ構造になると考えられる。これにより、M-Si-N膜は、シリコン窒化(SiN)膜が有する酸素拡散阻止能力と、金属シリサイド(M-Si)が有する導電性とを同時に兼ね備えることができると考えられる。その結果、請求項2によるM-Si-N膜は、第1導電膜の酸素の拡散を阻止する機能をさらに高めることができる。

【0017】請求項3による誘電体素子は、請求項1または2の構成において、第1導電膜を構成する金属は、イリジウムである。請求項3では、このように、第1導電膜を構成する金属としてイリジウムを用いることによって、第1導電膜を酸素の拡散を阻止するバリア膜として機能させることができる。

【0018】請求項4による誘電体素子は、請求項3の構成において、第1導電膜は、イリジウムとシリコンとを含有する導電膜と、イリジウムとシリコンと窒素とを含有する導電膜との積層構造からなる。請求項4では、このように構成することによって、イリジウムとシリコンと窒素とを含有する導電膜により高い酸素拡散阻止能力を維持することができるとともに、イリジウムとシリ

コンとを含有する導電膜により低抵抗化したバリア膜を形成することができる。

【0019】請求項5による誘電体素子は、請求項4の構成において、イリジウムとシリコンと窒素とを含有する導電膜は、酸化物系誘電体膜側に配置されている。請求項5では、このように構成することによって、第1導電膜は、酸化物系誘電体膜からの酸素拡散をより効果的に阻止することができる。これにより、酸化物系誘電体膜自身の特性が劣化するのを抑制することができる。

【0020】請求項6による誘電体素子は、請求項4または5の構成において、第1導電膜は、導電物と絶縁膜との間に配置されている。請求項6では、このように構成することによって、第1導電膜により絶縁膜から導電物に酸素が拡散するのを有効に阻止することができる。

【0021】請求項7による誘電体素子は、請求項6の構成において、導電物は、酸化されると絶縁物化するものであり、導電物上に、第1導電膜および絶縁膜が順に形成されている。請求項7では、このように構成することによって、第1導電膜により絶縁膜から導電物に酸素が拡散するのを有効に阻止することができるので、導電物が酸化されるのを抑制することができる。

【0022】請求項8による誘電体素子は、請求項7の構成において、導電物は、ポリシリコンプラグおよびタングステンプラグのいずれかを含む。請求項8では、このように導電物としてポリシリコンプラグまたはタングステンプラグを用いることによって、ポリシリコンプラグまたはタングステンプラグの酸化が抑制される。これにより、従来用いられているポリシリコンプラグやタングステンプラグの形成技術をそのまま問題なく適用することができる。

【0023】請求項9による誘電体素子は、請求項1または2の構成において、第1導電膜と絶縁膜との間に配置された導電性結晶膜をさらに備える。請求項9では、このように構成することによって、第1導電膜により酸素拡散を阻止できるとともに、導電性結晶膜により、分極特性などの特性が良好な酸化物系誘電体膜からなる絶縁膜を形成することができる。

【0024】請求項10による誘電体素子は、請求項9の構成において、導電性結晶膜は、Pt、Ir、RuおよびReからなるグループより選択される少なくとも1つの金属を含む金属膜である。請求項10では、このように構成することによって、上記の金属膜からなる導電性結晶膜により、分極特性などの特性が良好な酸化物系誘電体膜からなる絶縁膜を形成することができる。

【0025】請求項11による誘電体素子は、請求項10の構成において、第1導電膜は、Ptとシリコンと窒素とを含有し、導電性結晶膜は、Ptからなる金属膜である。請求項11では、このように構成することによって、Ptとシリコンと窒素とを含有する第1導電膜により酸素拡散をより有効に阻止できるととも

に、Ptの金属膜からなる導電性結晶膜により、分極特性などの特性が良好な酸化物系誘電体膜からなる絶縁膜を形成することができる。

【0026】請求項12による誘電体素子は、請求項9の構成において、導電性結晶膜は、Pt、Ir、RuおよびReからなるグループより選択される少なくとも1つの金属を含む金属酸化膜である。請求項12では、このように構成することによって、上記の金属酸化膜からなる導電性結晶膜により、分極特性などの特性が良好な酸化物系誘電体膜からなる絶縁膜を形成することができる。

【0027】

【発明の実施の形態】以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0028】（第1実施形態）図1は、本発明の第1実施形態によるキャパシタ素子の構造を示した断面図である。図1を参照して、第1実施形態のキャパシタ素子は、以下の手順で形成されている。まず、Si基板10上に、ドーブド・ポリSi膜11が形成される。そして、ポリSi膜11上に、IrSi膜12またはIrSiN膜13が形成される。その後、IrSi膜12またはIrSiN膜13上に、Ir膜14が形成される。Ir膜14上に、酸化物系誘電体膜として強誘電体膜であるSBT膜15が形成される。続いて、SBT膜15上に、Ir膜16が形成される。そして、SBT膜15の焼結のためのアニールを、酸素雰囲気中で行っている。

【0029】上記した各膜の膜厚は、ポリSi膜11が600nm、IrSi膜12またはIrSiN膜13が100nm、Ir膜14が100nm、SBT膜15が300nm、Ir膜16が100nmである。ここで、Ir膜16は、上部電極を構成する。IrSi膜12またはIrSiN膜13と、Ir膜14とは、下部電極を構成する。また、ポリSi膜11は、下部電極の一部として、または、プラグとして用いられる電極材料である。

【0030】この第1実施形態では、IrSi膜12またはIrSiN膜13と、Ir膜14とによって構成される下部電極の酸素拡散阻止能力について調べた。

【0031】図2および図3は、図1と同様のIr膜14/IrSi膜12/ポリSi膜11の積層膜構造において、X-ray Photoelectron Spectroscopy (XPS) 評価により深さ方向の元素組成比を調べた結果である。すなわち、図2は、そのIr/IrSi/ポリSi積層膜形成後のサンプルを調べた結果を示したものであり、図3は、そのIr/IrSi/ポリSi積層膜形成後、酸素雰囲気中で800℃、40分のアニールを施したサンプルを調べた結果である。図3の結果から、Ir膜14/IrSi膜12の界面において、酸素アニールにより拡散してきた酸素が蓄積されていることがわかる。また、IrSi膜12内

で酸素量が減少していることがわかる。これにより、IrSi膜12によって、酸素の拡散が阻止されていることがわかる。なお、図2の結果からIrSi膜12の組成比は、 $\text{Ir}:\text{Si}=1:0.75$ であった。

【0032】また、図4および図5は、図1と同様のIr膜14/IrSiN膜13/ポリSi膜11の積層膜構造において、XPS評価により深さ方向の元素組成比を調べた結果である。図4は、そのIr/IrSiN/ポリSi積層膜形成後のサンプルを調べた結果を示したものであり、図5は、そのIr/IrSiN/ポリSi積層膜形成後、酸素雰囲気中で800℃、40分のアニールを施したサンプルを調べた結果である。図5の結果から、Ir膜14/IrSiN膜13の界面において、酸素アニールにより拡散してきた酸素が若干蓄積されていることがわかる。また、IrSiN膜13内で酸素量が減少していることがわかる。これにより、IrSiN膜13によって、酸素の拡散が阻止されていることがわかる。

【0033】また、上記Ir膜14/IrSi膜12の界面と、上記Ir膜14/IrSiN膜13の界面とにおける酸素の蓄積量を比較すると、後者の界面での酸素の蓄積量が前者のものより小さくなっている。したがって、IrSi膜12にNを添加したIrSiN膜13の方が、IrSi膜12よりも酸素拡散を阻止する機能が高いことがわかる。なお、図4の結果からIrSiN膜13の組成比は、 $\text{Ir}:\text{Si}:\text{N}=1:1.25:0.5$ であった。

【0034】そして、Ir膜14/IrSi膜12/ポリSi膜11の積層膜構造と、Ir膜14/IrSiN膜13/ポリSi膜11の積層膜構造のどちらのサンプルにおいても、ポリSi膜11と、IrSi膜12またはIrSiN膜13との界面において、ポリSi膜11はほとんど酸化されていないことがわかる。

【0035】したがって、この第1実施形態のように、ポリSi膜11のような酸化されると絶縁物化する導電物の上に、IrSi膜12またはIrSiN膜13と、SBT膜15のような酸化物系誘電体膜とが順に形成されている構造で、プロセス上、高温酸素アニール工程を経るような場合において、IrSi膜12やIrSiN膜13は酸素の拡散を阻止するバリア膜として機能する。これにより、ポリSi膜11のような導電物の酸化を抑制することができる。

【0036】また、IrSiN膜13に比べて、IrSi膜12の方が低抵抗であったので、IrSi膜12/IrSiN膜13で構成される積層膜を用いて、低抵抗で、かつ、酸素拡散阻止能力の高いバリア膜を形成することができる。

【0037】また、この第1実施形態の他の電極構成例としては、ポリSi膜11をWに変えた場合や、Ir膜14および16を、Pt、IrまたはPtを含有する金

属膜に変えた場合などがよく利用される構造である。

【0038】(第2実施形態)本発明を具体化した第2実施形態を以下に説明する。図6は、本発明の第2実施形態の一例によるキャパシタ素子の構造を示した断面図であり、図7は、本発明の第2実施形態によるキャパシタ素子と比較するためのキャパシタ素子の構造を示した断面図である。また、図8は、本発明の第2実施形態の他の例によるキャパシタ素子の構造を示した断面図である。

【0039】図6に示した第2実施形態の一例によるキャパシタ構造は、以下の手順で形成されている。まず、Si基板20上に、WSi膜21が形成される。続いて、層間絶縁膜22が形成される。この層間絶縁膜22に、コンタクトホール23が形成される。このコンタクトホール23内にドーパド・ポリSiプラグ24が形成される。そして、このポリSiプラグ24に接続するIrSiN膜25が形成され、続いて、Ir膜26が形成される。Ir膜26上に、酸化物系誘電体膜として強誘電体膜であるSBT膜27が形成される。そのSBT膜27上に、Ir膜29が形成される。そして、SBT膜27の焼結のため、酸素雰囲気中で800℃、40分のアニールを行う。その後、IrSiN膜25、Ir膜26、SBT膜27およびIr膜29をエッチングしてパターンニングすることによって、キャパシタ30が形成される。また、WSi膜21にプローブ(測定針)をコンタクトさせるためのホール31が形成される。

【0040】図7に示した比較例のキャパシタ素子構造は、図6に示した第2実施形態の一例によるキャパシタ素子構造において、IrSiN膜25がない構造である。また、図8に示した第2実施形態の他の例によるキャパシタ素子構造は、図6に示した第2実施形態の一例によるキャパシタ素子構造において、SBT膜27とIr膜29の間に、IrSiN膜28を挿入した構造である。すなわち、図6は、酸素拡散を阻止するためのIrSiN膜25をキャパシタ30の下部電極に用いた場合の例を示す図であり、図8は、IrSiN膜25および28をそれぞれキャパシタ30の下部電極および上部電極に用いた場合の例を示す図である。そして、図7は、IrSiN膜25および28をキャパシタ30の電極に用いない場合の比較例を示す図である。

【0041】図6～図8のキャパシタ素子において、WSi膜21およびポリSiプラグ24の膜厚は、WSi膜21:500nm、ポリSiプラグ24:800nmとした。また、酸化物系誘電体として用いたSBT膜27の膜厚は、300nmとした。また、下部電極の膜厚は、図6および図8に示した第2実施形態のキャパシタ素子でIrSiN膜25:100nm、Ir膜26:100nmとし、図7に示した比較例のキャパシタ素子でIr膜26:200nmとした。また、上部電極の膜厚は、図6および図7に示したキャパシタ素子でIr膜2

9:300nmとし、図8に示したキャパシタ素子でIrSiN膜28:100nm、Ir膜29:200nmとした。

【0042】図9は、図6～図8に示した強誘電体キャパシタの分極ヒステリシス特性を示したものである。縦軸は、強誘電体の分極値を示しており、横軸は、キャパシタに印加する電界強度を示している。ここで、図6に示したキャパシタ素子の場合、図9(a)に示すような曲線となる。この場合、そのヒステリシス特性は、良好な飽和特性を示し、2Pr値(Pr:残留分極値)で約 $9\mu\text{C}/\text{cm}^2$ になる。これに対して、図7に示した比較例のキャパシタ素子の場合、図9(b)に示すような曲線となる。この場合、そのヒステリシス特性は、飽和特性を示さず、2Pr値も約 $2\mu\text{C}/\text{cm}^2$ にとどまっている。

【0043】これは、以下の理由による。すなわち、上述したように、図7に示した比較例のキャパシタ素子構造では、SBT膜27の焼結時の酸素雰囲気中アニールにおいて、酸素がIr膜26の結晶粒界に沿って拡散する。このため、ポリSiプラグ24の表面が酸化されてSiO₂膜が形成される。そして、そのSiO₂膜によるキャパシタが、強誘電体であるSBT膜27をキャパシタ絶縁膜とするキャパシタ30に直列接続されたため、キャパシタ30に充分なバイアスが印加されなかったと考えられる。これに対して、図6のキャパシタ素子構造では、ポリSiプラグ24とIr膜26との間に酸素拡散を阻止するIrSiN膜25を挿入することによりポリSiプラグ24への酸素拡散が阻止されているため、良好なヒステリシス特性が得られている。

【0044】また、図8に示したキャパシタ素子の場合、図9(c)に示すような曲線となり、図6に示したキャパシタ素子より、2Pr値が大きく、約 $11\mu\text{C}/\text{cm}^2$ となった。これは以下の理由によると考えられる。すなわち、図6に示したキャパシタ素子構造では、酸素雰囲気中アニール時において、SBT膜27からIr膜29に酸素が拡散し、SBT膜27の膜特性が多少劣化する。これに対し、図8のキャパシタ素子構造では、SBT膜27とIr膜29との間にIrSiN膜28が挿入されているため、SBT膜27からの酸素拡散が阻止される。このため、SBT膜27の膜特性の劣化が抑えられたと考えられる。したがって、Ir膜29のような導電物とSBT膜27のような酸化物系誘電体膜との間に、本発明のIrSiN膜28を挿入することにより、アニールによる酸化物系誘電体膜の膜特性の劣化を抑制することができる。

【0045】したがって、第2実施形態で示したように、酸素拡散を阻止するバリア膜として機能する本発明のIrSiN膜28を用いた酸化物系誘電体キャパシタ素子では、キャパシタ形成工程において、ポリSiプラグ24など酸化されると絶縁物化する導電物の酸化を抑

制したり、SBT膜27など酸化物系誘電体膜の膜特性の劣化を抑制することができる。その結果、良好なキャパシタ特性を得ることができる。

【0046】なお、第2実施形態では、酸素拡散を阻止するバリア膜としてIrSiN膜25又は28を用いたが、これに限ったものでなく、IrSi膜や低抵抗化が可能なIrSi/IrSiN積層膜を用いてもよい。また、上記積層膜において、IrSiN膜の方が酸素拡散阻止能力が高いため、IrSiN膜を酸化物系誘電体膜であるSBT膜27側に配置することにより、酸化物系誘電体膜からの酸素拡散を効果的に阻止することができる。

【0047】(第3実施形態)本発明を具体化した第3実施形態を以下に説明する。この第3実施形態は、第2実施形態で示したキャパシタ素子を、プラグを介してMOSTランジスタのゲート電極に接続した構造を有するFET型強誘電体メモリに関する。図10は、本発明の第3実施形態の一例による強誘電体メモリの構造例を示した断面図であり、図11は、本発明の第3実施形態の強誘電体メモリと比較するための比較例による強誘電体メモリの構造を示す断面図である。また、図12は、本発明の第3実施形態の他の例による強誘電体メモリの構造例を示した断面図である。

【0048】図10に示した第3実施形態の一例による強誘電体メモリは、以下の手順で形成する。まず、シリコン基板40上に、フィールド絶縁膜41と、MOSTランジスタ42のウェル領域43と、ソース領域44と、ドレイン領域45と、WSi/ポリSiゲート電極46とを形成する。その後、第1層間絶縁膜47を形成する。そして、ゲート電極46上に、コンタクトホール48を形成し、続いて、ポリSiプラグ49を形成する。その後、第1層間絶縁膜47およびポリSiプラグ49上に、IrSiN膜50とIr膜51とを形成する。続いて、Ir膜51上に、酸化物系誘電体膜として強誘電体であるSBT膜52を形成する。

【0049】そして、そのSBT膜52上に、Ir膜54を形成する。そして、SBT膜52の焼結のため、酸素雰囲気中で800℃、40分のアニールを行う。その後、IrSiN膜50と、Ir膜51と、SBT膜52と、Ir膜54とをエッチングしてパターンニングすることにより、キャパシタ55を形成する。そして、第2層間絶縁膜56を形成した後、キャパシタの上部電極を構成するIr膜54上に、コンタクトホール57を形成する。そのコンタクトホール57を埋めるようにして導電物58を形成する。

【0050】その後、ソース領域44およびドレイン領域45上に、それぞれコンタクトホール59および60を形成する。コンタクトホール59および60を埋めるように、それぞれ、ソース電極61およびドレイン電極62を形成する。なお、導電物58、ソース電極61お

よびドレイン電極62は、たとえば、TiN/AI-Si-Cu/TiN/Tiなどで構成される。

【0051】ここで、図10に示した第3実施形態の一例によるFET型強誘電体メモリの動作について説明する。まず、強誘電体であるSBT膜52を分極反転させるため、導電物58に十分な正電圧を印加した後、再び、導電物58の電圧を0とする。それにより、SBT膜52のIr膜54との界面が負に帯電し、下部電極を構成するIr膜51との界面が正に帯電する。

【0052】この場合、Ir膜51のSBT膜52との10 界面が負に帯電し、ゲート電極46のゲート絶縁膜との界面が正に帯電する。その結果、ソース領域44とドレイン領域45との間のチャンネル領域に反転層が形成される。それにより、導電物58、ひいては、上部電極を構成するIr膜54の電圧が0であるにもかかわらず、FETはオン状態となる。

【0053】逆に、SBT膜52を分極反転させるため、導電物58に十分な負電圧を印加した後、再び、導電物58の電圧を0にする。それにより、SBT膜52のIr膜54との界面が正に帯電し、SBT膜52のIr膜51との界面が負に帯電する。20

【0054】この場合、下部電極を構成するIr膜51のSBT膜52との界面が正に帯電し、それにより、ゲート電極46のゲート絶縁膜との界面が負に帯電する。その結果、ソース領域44とドレイン領域45との間のチャンネル領域に反転層が形成されず、FETはオフ状態となる。

【0055】このように、強誘電体膜を構成するSBT膜52が十分に分極反転していると、導電物58、ひいては上部電極を構成するIr膜54に印加する電圧を0にした後も、FETを選択的にオン状態またはオフ状態にすることができる。それにより、ソース・ドレイン間の電流を検出することによって、強誘電体メモリに記憶されるデータ“1”および“0”を判別することが可能となる。

【0056】図11に示した比較例の強誘電体メモリ構造は、図10に示した第3実施形態の一例による強誘電体メモリ構造において、IrSiN膜50がない構造である。また、図12に示した第3実施形態の他の例による強誘電体メモリ構造は、図10に示した第3実施形態の一例による強誘電体メモリ構造において、SBT膜52とIr膜54との間にIrSiN膜53を挿入した構造である。40

【0057】すなわち、図10は、FET型強誘電体メモリ構造において、キャパシタ55の下部電極として酸素拡散を阻止するためのIrSiN膜50を用いた場合の例を示す図であり、図12は、IrSiN膜50および53をそれぞれキャパシタ55の下部電極および上部電極として用いた場合の例を示す図である。そして、図11は、IrSiN膜50および53をキャパシタ55 50

の電極に用いない場合の比較例を示す図である。

【0058】なお、この第3実施形態で示したキャパシタ素子構造は、上記の第2実施形態で示した3種類と同様の構造を用いている。また、キャパシタ55の面積AFとゲート絶縁膜(SiO₂)によるキャパシタの面積AGとの比は、AF:AG=1:2.0にしている。

【0059】図13～図15は、縦軸をドレイン電流、横軸を導電物58に印加する電圧（ここではゲート電圧と称する）としてプロットした図である。ここで、ソース電圧は0V、ドレイン電圧は0.1Vに設定している。また、ウェル領域43の電位は、ソース電圧と同じにしている。図13は、図10に示した第3実施形態の一例による強誘電体メモリに対する結果を示している。この場合、図13に示すように、閾値電圧V_tのシフト量は、約2.0V程度ある。これに対して、図14は、図11に示した比較例の強誘電体メモリに対する結果を示している。この場合、図14に示すように、V_tシフト量は0.5V程度しかないことがわかる。また、図15は、図12に示した第3実施形態の他の例による強誘電体メモリに対する結果を示している。この場合、図15に示すように、V_tシフト量は、図10の強誘電体メモリに比べ、さらに向上し、2.2Vとなった。

【0060】したがって、第3実施形態で示したように、酸素拡散を阻止するバリア膜として機能する本発明のIrSiN膜50又は53を用いた酸化物系強誘電体キャパシタ素子を、強誘電体メモリに用いれば、良好な記憶特性を有する強誘電体メモリを作製することができる。

【0061】（第4実施形態）図16は、本発明の第4実施形態によるキャパシタ素子を示した断面図である。図16に示した第4実施形態のキャパシタ構造は、以下の手順で形成されている。まず、Si基板70上に、n型ドーピング層71を形成する。そのn型ドーピング層71上に、層間絶縁膜72を形成する。そして、この層間絶縁膜72に、コンタクトホール73を形成する。コンタクトホール73内に、ポリSiプラグ74を形成する。そして、ポリSiプラグ74に接続するPt-Si-Nバリア膜75を形成する。続いて、Pt-Si-Nバリア膜75上に、Pt膜76を形成する。Pt膜76上に、酸化物系誘電体膜として、強誘電体膜であるSBT膜77を形成する。

【0062】ここで、SBT膜77は、ゾル・ゲル法で形成する。この場合の仮焼成は、300℃、5分間の条件下で行う。その後、SBT膜77上に、Pt膜78を形成する。そして、Pt膜78、SBT膜77、Pt膜76およびPt-Si-N膜75をエッチングしてパターンニングすることによって、キャパシタ90を形成する。その後、SBT膜77を焼結するため、酸素雰囲気中で800℃、40分のアニールを行う。

【0063】そして、層間絶縁膜79を形成した後、P

t膜78上およびn型ドーピング層71上に、それぞれ、コンタクトホール80および81を形成する。そのコンタクトホール80および81内に、それぞれ、電極82および83を形成する。電極82および83は、たとえば、TiN/Al-Si-Cu/TiN/Tiなどにより構成される。

【0064】図17は、第4実施形態によるPt-Si-Nバリア膜75の酸素拡散阻止能力を調べるために作製したサンプル構造を示した断面図である。図17を参照して、このサンプル構造では、Si基板70上に、Pt-Si-Nバリア膜75とポリSi膜74との積層膜構造を形成している。このサンプルを作製した後、酸素雰囲気中で、800℃、40分間のアニールを施した後、RBS (Rutherford Backscattering Spectrometry) 法を用いて、積層膜中の深さ方向の元素組成比を調べた。図18は、その積層膜中の深さ方向の元素組成比を調べた結果を示したものである。

【0065】図18に示すように、Pt-Si-Nバリア膜75中において、酸素組成比は表面から20nm程度の深さの範囲で減少している。また、その酸素組成比は、5.2%以下である。このことから、Pt-Si-Nバリア膜75が酸素の拡散を十分阻止していることがわかる。

【0066】これは、Ptが窒化物を形成しないため、Pt-Si-Nを形成した場合、PtはSiと結合し、NはSiと結合する。そのため、Pt-Si-N膜は、Pt-SiにSi-Nを埋め込んだ構造になると考えられる。その結果、シリコン窒化(SiN)膜が有する酸素拡散阻止能力と、Pt-Si(金属シリサイド)が有する導電性とを同時に兼ね備えることができたと考えられる。

【0067】さらに、Pt-Si-Nバリア膜75による酸素拡散の阻止によって、Pt-Si-N/ポリSi界面においては、ポリSiの酸化、すなわち、SiO₂膜の生成は観測されていない。

【0068】図19は、図16に示した第4実施形態の強誘電体キャパシタ構造と比較するために作製したキャパシタ構造を示した断面図である。この図19に示した比較例による強誘電体キャパシタ構造は、図16に示した第4実施形態の強誘電体キャパシタ構造において、Pt-Si-Nバリア膜75のない構造である。ここで、SBT膜77の膜厚は、図16および図19のどちらの場合においても200nmとした。そして、この両者のキャパシタ構造の分極ヒステリシス特性について調べた。図20は、その分極ヒステリシス特性を調べた結果を示したものである。

【0069】図20を参照して、縦軸には、強誘電体の分極値が示されており、横軸には、キャパシタに印加する電圧が示されている。また、図20(a)に示す曲線

は、図16に示した第4実施形態の強誘電体キャパシタに対する特性を示しており、図20(b)の曲線は、図19に示した比較例による強誘電体キャパシタに対する特性を示している。図16に示した第4実施形態によるキャパシタ構造の場合、図20(a)に示すように、そのヒステリシス特性は良好な飽和特性を示し、2Pr値(P_r:残留分極値)で約13μC/cm²になる。これに対して、図19に示した比較例によるキャパシタ構造の場合、図20(b)に示すように、そのヒステリシス特性は飽和特性を示さず、2Pr値も約2μC/cm²にとどまっている。

【0070】これは、以下の理由によると考えられる。すなわち、図19に示した比較例によるキャパシタ素子構造では、SBT膜77の焼結時の酸素雰囲気中のアニール(800℃、40分)において、酸素がPt膜76の結晶粒界に沿って拡散する。このため、ポリSiプラグ74の表面が酸化されてSiO₂膜が形成される。このSiO₂膜によるキャパシタが、強誘電体であるSBT膜77をキャパシタ絶縁膜とするキャパシタ91に直列接続されるので、キャパシタ91に十分なバイアスが印加されなかったと考えられる。

【0071】これに対して、図16に示した第4実施形態によるキャパシタ素子構造では、ポリSiプラグ74とPt膜76との間に酸素拡散を阻止するPt-Si-Nバリア膜75を挿入することによって、ポリSiプラグ74への酸素拡散が阻止されている。このため、ポリSiプラグの酸化は発生せず、その結果、良好なヒステリシス特性を得ることができる。

【0072】従って、酸素拡散を阻止するバリア膜として機能する本発明のPt-Si-Nバリア膜75を用いた酸化物系誘電体キャパシタ素子は、キャパシタ形成工程において、ポリSiプラグ74などの酸化されると絶縁物化する導電膜の酸化を抑制することができる。その結果、良好なキャパシタ特性を得ることができる。

【0073】次に、この第4実施形態のキャパシタ素子において、Pt-Si-Nバリア膜75と、酸化物系誘電体であるSBT膜77との間に挿入した導電性結晶膜であるPt膜76の効果について調べる。図21は、図16に示した第4実施形態の強誘電体キャパシタ構造と比較するために作製した比較例によるキャパシタ構造を示した断面図である。この図21に示す比較例の構造は、図16に示した第4実施形態による強誘電体キャパシタにおいて、Pt膜76のない構造である。

【0074】ここで、SBT膜77の膜厚は、図16に示した第4実施形態の構造および図21に示した比較例による構造のどちらの場合においても、200nmとした。この両者のキャパシタ構造の分極ヒステリシス特性について調べた。図22は、その分極ヒステリシス特性について調べた結果を示した特性図である。図22を参照して、縦軸には、強誘電体の分極値が示されており、

横軸にはキャパシタに印加する電圧が示されている。また、図22(a)の曲線は、図16に示した第4実施形態による強誘電体キャパシタに対する特性を示しており、図22(b)の曲線は、図21に示した比較例による強誘電体キャパシタに対する特性を示している。

【0075】図16に示した第4実施形態によるキャパシタ90の場合、図22(a)に示すように、そのヒステリシス特性は良好な飽和特性を示し、 $2Pr$ 値で約 $13\mu C/cm^2$ である。これに対して、図21に示した比較例によるキャパシタ92の場合、図22(b)に示すように、そのヒステリシス特性は飽和特性を示さず、 $2Pr$ 値も約 $1\mu C/cm^2$ にとどまっている。

【0076】これは、以下の理由によると考えられる。すなわち、SEM (Scanning Electron Microscopy) 観察によって図21に示した比較例の構造を観察した場合、SBT膜77にかなり多量の空間があることが観測された。このことから、上記の SiO_2 膜によるキャパシタが直列に接続された場合と同様、この空間がSBT膜77を含むキャパシタ92に直列に接合されたキャパシタとして働く。このため、SBT膜77を含むキャパシタ92に十分な電圧が印加されないと考えられる。また、このようにSBT膜77に多量の空間が形成された理由としては、 $Pt-Si-N$ がアモルファス（非晶質）であるので、SBT膜が結晶化する際に、初期成長核密度が小さいためと考えられる。初期成長核密度を高めるためには、図16に示した第4実施形態のように、 Pt 膜などの結晶膜を形成した後、その結晶膜上に酸化物系誘電体を形成するのが好ましい。

【0077】したがって、酸素拡散を阻止するバリア膜として機能する $Pt-Si-N$ バリア膜75と、酸化物系誘電体であるSBT膜77との間に、 Pt 膜などの導電性結晶膜を挿入することによって、SBT膜77の膜質を向上させることができる。その結果、良好なキャパシタ特性を得ることができる。

【0078】なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0079】(1) たとえば、第1実施形態～第3実施形態では、酸素拡散を阻止するバリア膜として、 $IrSi$ 膜12や $IrSiN$ 膜13、25、28、50又は53を用いたが、本発明はこれに限らず、 $IrSi$ 膜や $IrSiN$ 膜に、タングステン(W)、タンタル(Ta)、ルテニウム(Ru)、ロジウム(Rh)またはチタン(Ti)を加えた膜を用いても、上記第1実施形態～第3実施形態と同様の効果を得ることができる。

【0080】(2) また、上記第1実施形態～第4実

施形態では、酸化物系誘電体膜として強誘電体膜であるSBT膜15、27、52または77を用いて説明したが、本発明はこれに限らず、たとえば、PZTなど他の酸化物系の強誘電体膜を用いてもよい。

【0081】(3) また、上記第1実施形態～第4実施形態では、強誘電体キャパシタ素子を用いて説明したが、本発明はこれに限らず、高誘電率を有する酸化物系常誘電体を用いたキャパシタ素子を用いてもよい。すなわち、強誘電体膜であるSBT膜15、27、52または77に代えて、たとえば、BSTなどの高誘電率を有する酸化物系常誘電体膜を用いてもよい。

【0082】(4) また、第2実施形態、第3実施形態および第4実施形態では、 $IrSiN$ 膜25、50または $Pt-Si-N$ 膜75の下のプラグ材料として、ポリSi膜24、49または74を用いているが、本発明はこれに限らず、Wを用いた場合でも、上記第2実施形態～第4実施形態と同様の効果を得ることができる。

【0083】(5) また、第3実施形態では、酸素拡散を阻止するバリア膜として、 $IrSiN$ 膜50または53を用いたが、本発明はこれに限らず、 $IrSi$ 膜や、低抵抗化が可能な $IrSi/IrSiN$ 積層膜を用いてもよい。

【0084】(6) また、第3実施形態では、FET型強誘電体メモリについて説明したが、本発明はこれに限らず、ドレイン電極にプラグを介して強誘電体キャパシタが接続されるタイプの強誘電体メモリにおいても、同様の効果を得ることができる。

【0085】(7) また、上記第4実施形態では、金属(M)- $Si-N$ の金属(M)としてPtを用いたが、本発明はこれに限らず、Pt以外の窒化物を形成しにくい材料であるIr、RuおよびReなどを用いても同様の効果を得ることができる。また、窒化物は形成するが、窒化物を形成しても M_xN ($x \geq 2$) で安定状態になるものでも同様の効果を得ることができる。たとえば、金属(M)- $Si-N$ の金属(M)として、Ni、CoまたはMoを用いても、第4実施形態と同様の効果を得ることができる。さらに、金属(M)として、これらの物質が複数含まれていても良い。たとえば、金属(M)として、 $Pt-Ir$ を用いても良い。

【0086】(8) また、上記第4実施形態では、 $Pt-Si-N$ バリア膜75と酸化物誘電体であるSBT膜77との間に、導電性結晶膜としてPt膜76を挿入したが、本発明はこれに限らず、Ir、RuまたはReなどの金属膜、または、このような金属を少なくとも含む金属膜であっても同様の効果を得ることができる。たとえば、 $Pt-Ir$ などであっても同様の効果を得ることができる。さらに、導電性結晶膜としてのPt膜に代えて、Ir、RuまたはReなどの酸化膜、または、このような金属を少なくとも含む金属酸化膜を用いても同様の効果を得ることができる。例えば、 $SrRuO_3$ な

どが考えられる。

【0087】(9) なお、本発明は、キャパシタ素子のみならず、誘電体を用いる素子全般に適用可能である。

【0088】

【発明の効果】以上のように、本発明によれば、電極の酸化や酸化物系誘電体膜の膜特性の劣化を抑制することができ、その結果、特性の良好なキャパシタ素子を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態によるキャパシタ素子の構造を示す断面図である。

【図2】本発明の第1実施形態の効果を説明するための特性図である。

【図3】本発明の第1実施形態の効果を説明するための特性図である。

【図4】本発明の第1実施形態の効果を説明するための特性図である。

【図5】本発明の第1実施形態の効果を説明するための特性図である。

【図6】本発明の第2実施形態の一例によるキャパシタ素子の構造を示す断面図である。

【図7】本発明の第2実施形態のキャパシタ素子と比較するための比較例によるキャパシタ素子の構造を示す断面図である。

【図8】本発明の第2実施形態の他の例によるキャパシタ素子の構造を示す断面図である。

【図9】図6～図8に示した各キャパシタ素子の分極ヒステリシス特性を示す図である。

【図10】本発明の第3実施形態の一例によるFET型強誘電体メモリの構造を示す断面図である。

【図11】本発明の第3実施形態のFET型強誘電体メモリと比較するための比較例によるFET型強誘電体メモリの構造を示す断面図である。

【図12】本発明の第3実施形態の他の例によるFET型強誘電体メモリの構造を示す断面図である。

【図13】本発明の第3実施形態の一例によるFET型強誘電体メモリの特性を示す図である。

【図14】本発明の第3実施形態のFET型強誘電体メモリと比較するための比較例によるFET型強誘電体メモリの特性を示す図である。

【図15】本発明の第3実施形態の他の例によるFET型強誘電体メモリの特性を示す図である。

【図16】本発明の第4実施形態によるキャパシタ素子の構造を示す断面図である。

【図17】本発明の第4実施形態による酸素阻止能力を*

* 評価するためのサンプルの構造を示す断面図である。

【図18】本発明の第4実施形態の効果を説明するための特性図である。

【図19】本発明の第4実施形態のキャパシタ素子と比較するための比較例によるキャパシタ素子の構造を示す断面図である。

【図20】本発明の第4実施形態による効果を説明するための特性図である。

【図21】本発明の第4実施形態のキャパシタ素子と比較するための比較例によるキャパシタ素子の構造を示す断面図である。

【図22】本発明の第4実施形態の効果を説明するための特性図である。

【図23】従来の一例による強誘電体メモリの構造を示す断面図である。

【図24】従来他の例による強誘電体メモリの構造を示す断面図である。

【符号の説明】

10、20、40、70 Si基板

11 ドープド・ポリSi膜

12 IrSi膜

13、25、28、50、53 IrSiN膜

14、16、26、29、51、54 Ir膜

15、27、52 SBT膜(強誘電体膜)

21 WSi膜

22、47、56、72、79 層間絶縁膜

23、48、57、59、60、73、80、81 コンタクトホール

24、49、74 プラグ

30、55、90 キャパシタ

31 ホール

41 フィールド絶縁膜

42 MOSトランジスタ

43 ウェル領域

44 ソース領域

45 ドレイン領域

46 ゲート電極

58 導電物

61 ソース電極

62 ドレイン電極

71 n型ドーピング層

75 Pt-Si-Nバリア膜

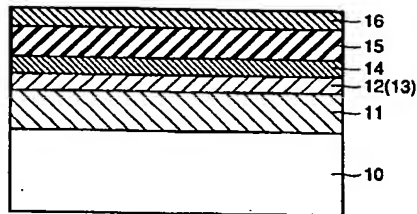
76 Pt膜

77 SBT膜(強誘電体膜)

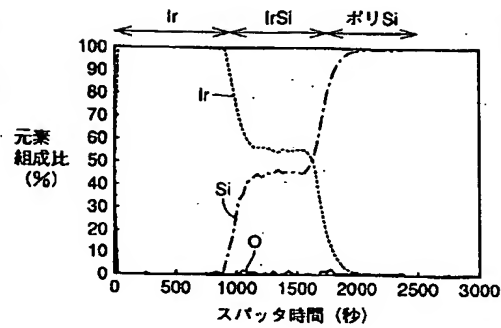
78 Pt膜

82、83 電極

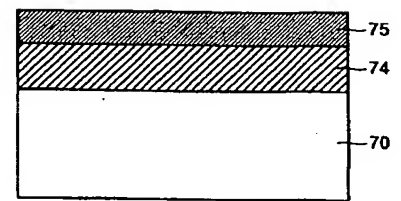
【図1】



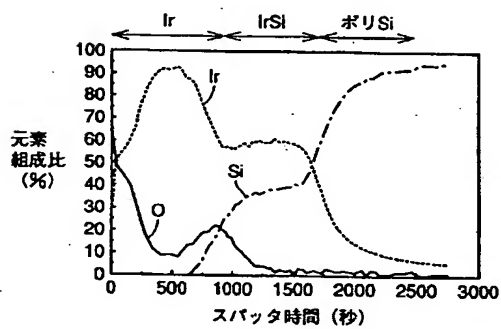
【図2】



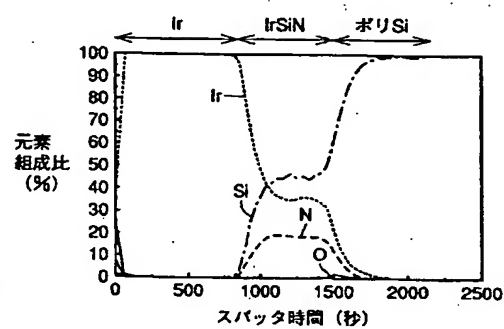
【図17】



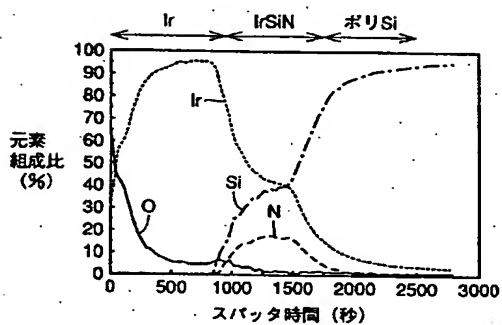
【図3】



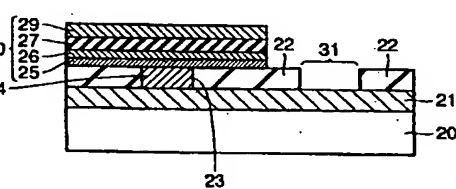
【図4】



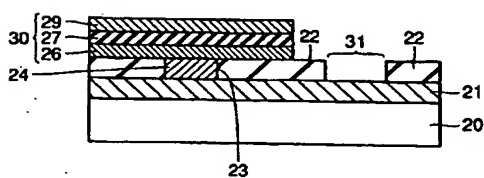
【図5】



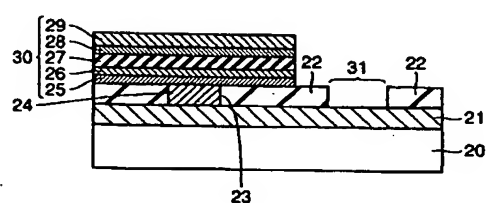
【図6】



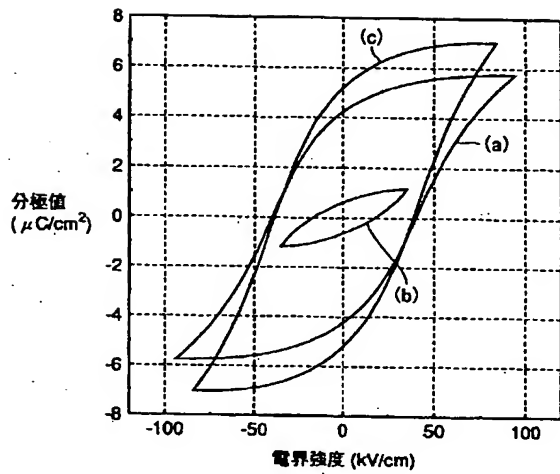
【図7】



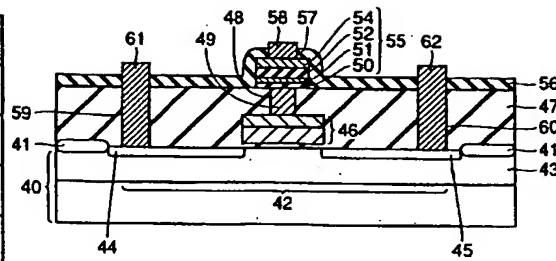
【図8】



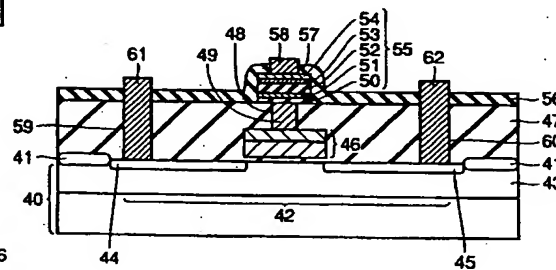
【図9】



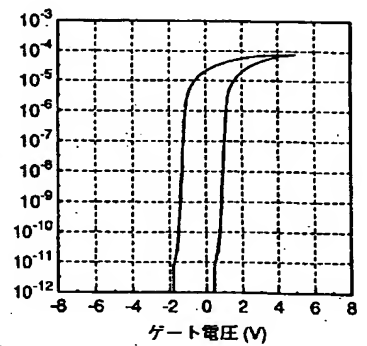
【図10】



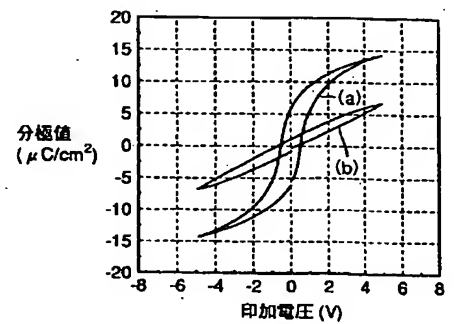
【図12】



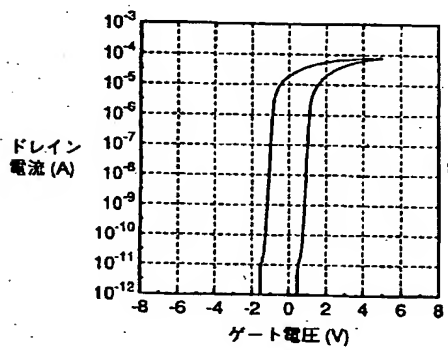
【図15】



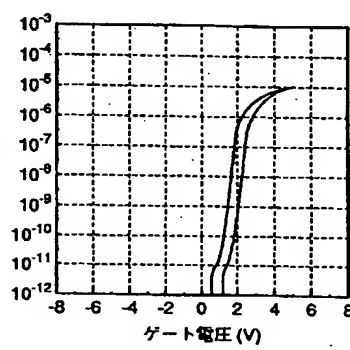
【図20】



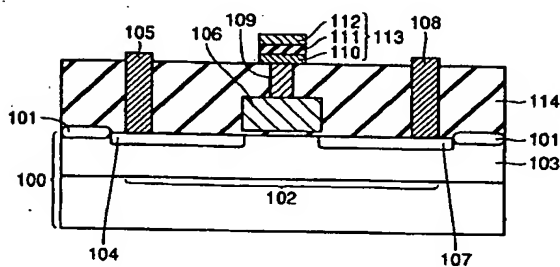
【図13】



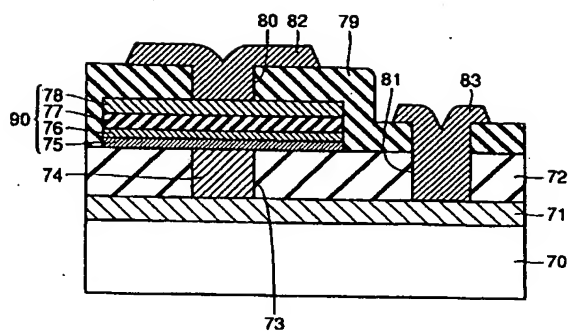
【図14】



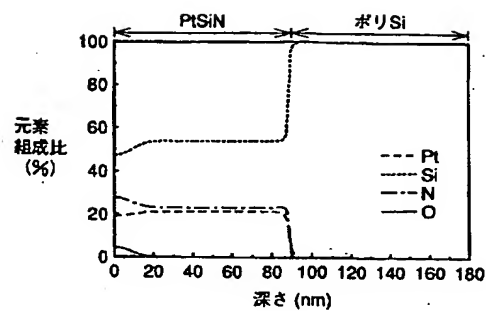
【図24】



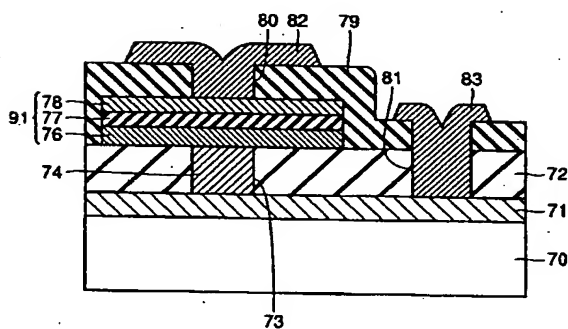
【図16】



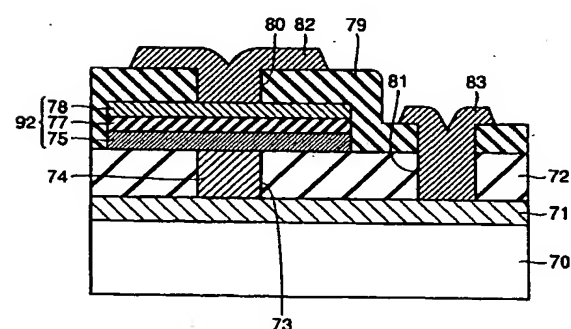
【図18】



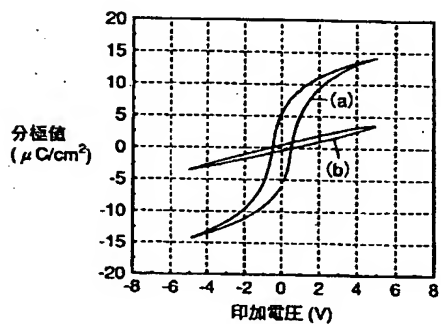
【図19】



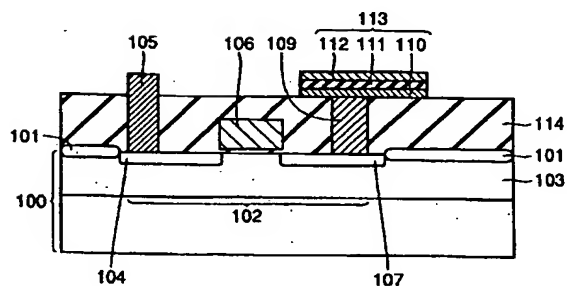
【図21】



【図22】



【図23】



フロントページの続き

Fターム(参考) 5F001 AA17 AD12 AF05 AG30
 5F083 FR01 FR05 GA21 GA25 JA14
 JA15 JA17 JA35 JA36 JA38
 JA39 JA40 JA43 JA45 JA53
 MA06 MA18 MA19 PR33